

# 低压、宽带、高稳定性运放芯片设计

Low-Voltage High-Speed integrated OP-AMP Chip with High Stability Based on 0.18um CMOS Process

(桂林电子科技大学) 赵明剑 王卫东 赵秋明

ZHAO Ming-jian WANG Wei-dong ZHAO Qiu-ming

**摘要:** 本论文基于 0.18um CMOS 标准工艺,设计了一个工作电压为 1.8V 的高速、宽带、高稳定性的集成运算放大器芯片。设计中采用米勒补偿电容结合调零电阻补偿技术并且集成三支路基准电流源与高输出阻抗的低压共源共栅偏置电流分配电路,有效地提高了系统的稳定性和速度,并具有优良电源抑制比和较大的输出摆幅。最后利用 Cadence Spectre 仿真器对芯片版图进行后端仿真验证,芯片功耗 3mW,电源抑制比-96dB,当负载电阻为 1M、负载电容为 1pF 时,芯片开环直流电压增益为 64 dB,单位增益带宽为 930MHz,相位余度为 108°,建立时间为 5.5ns,摆率为 250V/us,输出摆幅为 0.116~1.56V。仿真结果表明,本设计芯片可应用于中频段的放大、模拟运算、有源滤波、AGC 等系统中,尤其能满足如处理微弱信号等的高性能系统的需求。

**关键词:** 高稳定性; 调零电阻; 米勒补偿; 集成运算放大器

中图分类号: TN492

文献标识码: B

**Abstract:** This paper proposed a high-speed, broadband integrated op-amp chip with high stability based on the 0.18um CMOS standard technology in 1.8V supply. Stability, speed, excellent power supply rejection ratio (PSRR) and larger output swing were improved effectively by using Miller compensation capacitor in combination with zeroing resistors compensation technique, which three branch current reference with low-voltage Cascode bias current distribution circuit is integrated. The post simulation of the chip indicates that the chip had PSRR of -96dB with only 3mW of power, that had an open-loop DC voltage gain of 64 dB, GB of 930MHz, phase redundancy of 108°, settling time of 5.5ns, slew rate of 250V/us and the output swing of 0.116~1.56V under load resistance is 1M and the load capacitance is 1pF. It showed that this design can be applied in amplification at middle-frequency, analog computing, active filtering, AGC system, and particularly met the demands of dealing with weak signals of high-performance systems.

**Key words:** High stability; Zeroing resistor; Miller Compensation

## 1 引言

集成运算放大器是模拟类集成电路最主要、用途最广泛的器件类型。随着电子产品如个人移动通信、便携电子设备等的日益普及,对其中大量使用的集成运算放大器的功耗、带宽、速度、稳定性、等方面提出了越来越高的要求。通常采用降低工作电压的方法降低集成运算放大器的功耗,但这又给集成运算放大器的速度、相位余度、摆幅等关键性能指标带来了问题。

本设计为满足电路对带宽、速度、稳定性等方面的要求,基于 0.18um 1.8V 工艺,通过采用两级运算放大器结构,利用米勒补偿电容结合调零电阻补偿技术,有效地提高了系统的稳定性与速度;通过集成三支路基准电流源结合高输出阻抗的低压共源共栅偏置电流分配电路,使系统具有优良电源抑制比的同时,还获得较大的输出摆幅。能更好的适合在低电源电压条件下工作,相比于经典的套筒式与折叠式共源共栅结构,可以在满足低电压增益要求的前提下,功耗及其它的性能指标也得到改善,适合应用于低电压、高速、高稳定度系统。

赵明剑: 硕士研究生

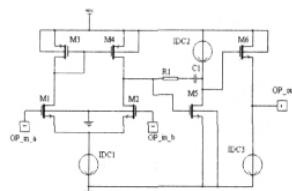
基金项目: 基金申请人: 王卫东; 项目名称: 开关电流-模拟取样数据集成电路技术的研究; 基金颁发部门: 广西壮族自治区教育厅(桂科基 0731021)

## 2 集成运算放大器芯片关键电路设计

本设计芯片关键电路包括:两级运算放大器电路、三支路基准电流源电路、低压共源共栅电流镜电路。

### 2.1 两级运算放大器电路

本设计两级运算放大电路如图 1 所示,通过引入米勒补偿电容和调零电阻串联网,从而达到提高电路的相位余度及摆率等性能指标的目的。其中晶体管 M1~M5 与电流源 IDC1、IDC2 构成两级运算放大器核心电路;调零电阻 R1 与米勒补偿 C1 构成该电路的补偿网络;晶体管 M6 与电流源 IDC3 构成源级跟随器,为两级运放大作缓冲输出,提高输出驱动能力。电路中所有偏置电流源(IDC1~IDC3)均由高输出阻抗的低压共源共栅电流镜构成。



通过调节关键晶体管 M1~M5 的宽长比以及弥勒补偿电容与电流源 IDC1 的输出偏置电流,利用式(1)、(2)、(3)可以分别设计出放大器的增益(A)、单位增益带宽(GB)以及输出摆率(SR)。其中 $\lambda_2, \lambda_4, \lambda_5$ 是晶体管 M2、M4、M5 的沟道调制系数, $\lambda_{IDC2}$ 是构成电流源 IDC2 的晶体管的等效沟道调制系数。

$$A = \frac{-2gm_1}{IDC1(\lambda_2 + \lambda_3)} \cdot \frac{-gm_5}{IDC2(\lambda_3 + \lambda_{IDC2})} \quad (1)$$

$$GB = gml / Cl \quad (2)$$

$$SR = IDC1 / C1 \quad (3)$$

该两级运算放大器电路的小信号弥勒等效模型如图 2 所示。

将该运放第一 (二) 级电路等效为的受控电流源  $gmI_{v1}$  ( $gmI_{v2}$ );  $C1(C2)$ 、 $R1(R2)$  分别是第一(二)级输出端看进去的对地电阻和电容。C1 为米勒补偿电容,  $R1$  为调零电阻。其系统函数由式(4)表达。

$$H(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{g_{mI} \cdot g_{mII} \cdot R_I \cdot R_{II} \{1 - s[(C_I / g_{mII}) - R_I \cdot C_I]\}}{1 + bs + cs^2 + ds^3} \quad (4)$$

其中:

$$b = (CII + C1)RII + (CI + C1)RI + gmII \cdot RI \cdot RII \cdot C1 + R1 \cdot C1 \quad (5)$$

$$c = [RI \cdot RII(CI \cdot CII + C1 \cdot CI + C1 \cdot CII) + R1 \cdot C1(RI \cdot CI + RII \cdot CII)] \quad (6)$$

$$d = RI \cdot RII \cdot R1 \cdot CI \cdot CII \cdot C1 \quad (7)$$

若使电路的零点值等于电路的第一非主极点值,便可实现零极点对消,实现相位补偿,提高电路稳定性。根据式(4)可以求出该电路的零点与第一非主极点为:

$$z_1 \approx 1 / Cl(1 / gm_{II} - R_1) \quad (8)$$

$$p_2 \approx -gm_{II} / C_{II} \quad (9)$$

根据电路摆率指标要求,由式(3)可以确定米勒补偿电容  $C_1$  的容值,再通过设计调零电阻  $R_1$  的阻值,使电路的零点值与第一次极点值相等,电路实现相位补偿,相位余度得到提高。

## 2.2 三支路基准电流源

基准电流源作为电路中的电流基准,是模拟电路中必不可少的基本部件,高性能的模拟电路必须有高稳定性的基准电流源偏置来支撑。本设计基准电流源采用三支路结构,具有良好的电源抑制比性能。其电路图如图3所示。

三支路电流源对于普通电流源来说多了一条支路,形成了负反馈,其基本工作原理为:当电源电压升高时,M6 的漏端电压升高;M2 管将作为一个共源级,使得 M4 的漏端电压降低,M3 的漏端电压升高;同时又在 M6 管共源级的作用下,M6 的漏端电压将降低。这样就形成了负反馈回路,抑制电源电压波动对电路造成的影响。

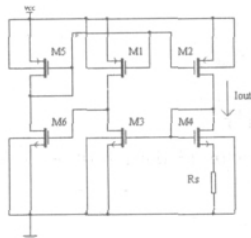


图 3 三支路电流源电路图

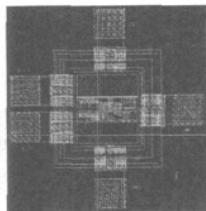


图 4 芯片版图

该基准电流源的输出电流表达式为:

$$I_{out} = \frac{2}{\mu_n C_{ox} (W/L)_n} \cdot \frac{1}{R_s^2} \left( 1 - \frac{1}{\sqrt{K}} \right)^2 \quad (10)$$

可以看出该基准电流源的输出电流只与调节电阻 $R_5$ 取值有关,与电源电压无关,该电路的温度特性与电阻 $R_5$ 和晶体管的工作情况有关。通过设计电阻 $R_5$ 的阻值,电路可以按要求输出精

确的基准电流。

### 2.3 共源共栅低电压电流镜

电流镜可以为电路提供所需的偏置电流,为了使电流镜具有高的输出阻抗,且尽可能的减小对电路电压余度的消耗。本设计电流镜均采用低电压共源共栅电流镜构成(对应于图1中IDC1、IDC2、IDC3)。

以 N 管构成的低电压共源共栅电流镜为例,其输出阻抗为:

$$r_{out} = r_{ds3} + r_{ds4} + g_{m4} r_{ds3} r_{ds4} (1 + \eta_4) \quad (11)$$

可见本设计采用的电流镜输出阻抗相对于普通电流镜( $r_{out}=r_{k1}$ )而言高出很多倍,更接近与理性电流镜。

### 3 芯片设计结果

该电路芯片版图如图 4 所示,该芯片由 CMOS 0.18 $\mu\text{m}$  1.8V 工艺实现。芯片电路面积为 0.36 $\text{mm}^2$ (核心电路面积 0.02  $\text{mm}^2$ ), 芯片功耗为 3mW。采用 Cadence Spectre 模拟器,设定温度 27℃、1.8V 单电源供电、在 1M $\Omega$  负载电阻、1pF 负载电容条件下进行版图后仿真测试,后仿真测试结构表明,芯片功能实现,性能良好。从图 5 所示的芯片幅频、相频特性曲线可以看出,该中频放大芯片开环增益 64dB,单位增益带宽 930MHz,相位余度 108°。表明芯片具有很高的稳定性。

表 1 为本设计主要性能指标测试结果。可见本设计在满足增益要求的前提下,单位增益带宽、相位余度、建立时间、摆率、电源抑制比具有优良的性能,适合应用于高速、弱信号处理、高稳定性的系统中。

表1 放大器芯片主要性能指标测试结果

指标	参数
工艺最小尺寸/VDD	0.18μm/1.8V
功耗/mW	3
开环增益/dB	64
单位增益带宽/Hz	930M
相位余度/°	108
建立时间/s	5.5n
摆率/V/us	250
摆幅/V	0.116~1.56
电源抑制比/dB	-96

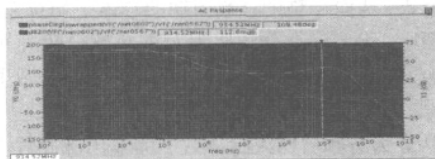


图 5 芯片幅频、相频特性曲线

## 4 结论

本文设计了一种基于 0.18 $\mu\text{m}$  1.8V CMOS 工艺的高速、宽带、高稳定性的集成运算放大器芯片,通过采用引入米勒补偿电容及调零电阻的运算放大器结构,提高芯片工作的稳定性及应用范围;通过集成三支路基准电流源结合高输出阻抗的低压共源共栅偏置电流分配电路,使系统具有优良电源抑制比的同时,还获得较大的输出摆幅。采用 Cadence Spectre 模拟仿真器对芯片版图进行后仿真验证,仿真结果表明本芯片可以应用于宽带模拟放大、模拟运算、有源滤波、AGC 等系统中,尤其能满足低功耗、高性能电子系统应用需求,具有良好的应用价值。设计电路和版图已通过了前、后端测试审核,送交流片。

本文作者创新点:设计中采用弥勒补偿及调零电阻技术并且集成高输出阻抗的基准源,有效地提高了系统的带宽、速度、稳定性、电源抑制比和输出摆幅。(下转第196页)



图 7 所示为电荷泵电路在不同  $\text{coner}$  下的仿真结果,从结果可以看出,电路在任何条件下都可正常工作,而且电路具有较好的对称性,上拉电流和下拉电流基本上相等,消除了失调电流的影响。

图 8 所示为电荷泵输出电流在控制信号  $\text{CP\_ctrl1}$  和  $\text{CP\_ctrl2}$  的作用下的仿真结果,可输出 30 $\mu\text{A}$ 、60 $\mu\text{A}$ 、90 $\mu\text{A}$  和 120 $\mu\text{A}$  四种不同大小的电流,从而可以调整 PLL 的环路特性,适应不同应用情况下的需求。

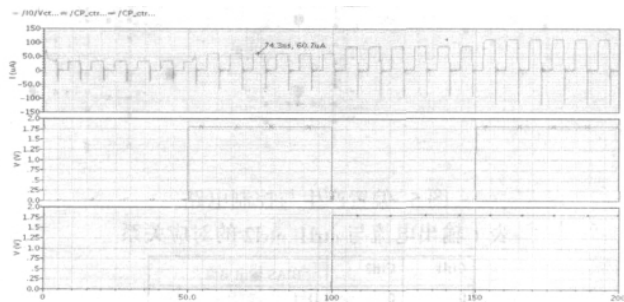


图 8 输出电流控制仿真结果

#### 4 结论

本文采用 0.18 $\mu\text{m}$  CMOS 工艺,提出了一种输出电流可控制(能够输出四种不同大小的电流),并具有良好的电流匹配特性的新颖的电荷泵电路,该电路可应用在高速 CMOS 锁相环系统中。仿真结果表明,该电路有效的降低了时钟馈通、电荷注入等非理想特性的影响,提高了锁相环中电荷泵电路的稳定性,并且该电路输出电流可调,从而使得锁相环系统具有更宽的应用范围。

#### 参考文献

- [1] 邢立冬, 蒋林. 2.5Gb/s 16:1 复用器电路设计. 微计算机信息, 2008, 4-2: 264-265
- [2] 毕查德·拉扎维. 模拟 CMOS 集成电路设计. 西安: 西安交通大学出版社, 2003: 113-131
- [3] 莫秉轩, 陈钟鸣, 鲁迎春. 一种可用于高性能锁相环的 CMOS 电荷泵 [J]. 合肥工业大学学报 (自然科学版), 2006, 29(003): 369-372.
- [4] 汪祥, 戎蒙恬. 一种改进型高性能 CMOS 锁相环电荷泵的设计 [J]. 上海交通大学学报, 2008, 42(004): 629-633.
- [5] 吴宏, 陈吉华, 陈怒兴. 高性能锁相环中电荷泵电路研究 [J]. 计算机工程与科学, 2006, 28(004): 71-73.
- [6] Terlemez B, Uyemura JP. The design of a differential CMOS charge pump for high performance phase-locked loops [C]. 2004, 561-564.
- [7] Park CH, Kim O, Kim B. A 1.8-GHz self-calibrated phase-locked loop with precise I/Q matching [J]. IEEE Journal of Solid-State Circuits, 2001, 36(5): 777-783.
- [8] Williams S, Casas M, Thompson H, Naviasky E. A 2.125 - 3.125 GHz Low Voltage Low Jitter PLL for SerDes Applications in 0.13 m CMOS [J].
- [9] Ko J, Lee W, Kim SW. 2.5 GHz PLL with current matching charge-pump for 10Gbps transmitter design [C]. ACM New York, NY, USA, 2005, 122-125.

作者简介: 赵萍(1962—), 女, 山西运城人, 高级工程师, 研究方向为微电子学与固体电子学; 邢立冬(1980—), 男, 山东潍坊人, 工程师, 硕士研究生, 研究方向为 VLSI 系统与计算机辅助设计。

**Biography:** ZHAO Ping (1962—), Senior Engineer, Major study field: Microelectronics and Solid State Electronics.

(710061 陕西西安 西安邮电学院微电子系) 赵 萍 邢立冬  
通讯地址: (710121 西安邮电学院长安校区电子工程学院) 赵 萍  
(收稿日期: 2010.12.28)(修稿日期: 2010.03.25)

(上接第 191 页)

#### 参考文献

- [1] Ming -Dou Ker, Jung -Sheng Chen. Impact of MOSFET Gate - Oxide Reliability on CMOS Operational Amplifier in a 130 -nm Low -Voltage Process. IEEE TRANSACTIONS ON DEVICE AND MATERIALS RELIABILITY, 2008, 7: 394-405
- [2] Schlogl F, Dietrich H, Zimmermann H. High -gain high -speed operational amplifier in digital 120 nm CMOS [J]. IEEE International Symposium on Circuits and Systems, 2004, 8: 316-319
- [3] 贾政亚. 低压低功耗 CMOS 运算放大器的研究与设计 [D]. 成都: 电子科技大学出版社, 2005
- [4] 郭荣祥, 李亦群, 高丁. 高速运算放大器应用技术 [J]. 电子技术应用, 1998
- [5] RAZAVI B, 陈贵灿等译. 模拟 CMOS 集成电路设计 [M]. 西安交通大学出版社, 2002, 12(2008, 10 重印): 240-260
- [6] 冯军, 李志群译. 模拟集成电路设计 [M]. 电子工业出版社, 2005, 3: 109-117, 212-217
- [7] 何乐年, 王忆. 模拟集成电路设计与仿真 [M]. 科学出版社, 2008, 8: 140-159, 264-269
- [8] 易清明, 张静, 石敏. 低功耗 CMOS 集成运算放大器的研究与设计. 微电子学, 2007, 6: 414-416
- [9] 葛康康, 陈琛, 何乐年. 基于 0.5 $\mu\text{m}$  CMOS 工艺的高速运放. 江南大学学报, 2008, 12: 652-656
- [10] 郭宏泓, 杨念念等. 基于多阈值技术的超低功耗电路设计 [J]. 微计算机信息, 2010, 1-2: 152-153

作者简介: 赵明剑(1984—), 男, 汉, 广西桂林, 桂林电子科技大学信息与通信学院, 硕士研究生, 研究方向: 专用集成电路设计。

**Biography:** ZHAO Ming -jian (1984 -), male, han, GuangXi, Guilin University of Electronic Technology, school of information and communication, ASIC Design.

(541004 广西桂林 桂林电子科技大学信息与通信学院) 赵明剑 王卫东 赵秋明

通讯地址: (541004 广西桂林市金鸡路 1 号桂林电子科技大学东区 07 级研究生 4 班(ES4 邮箱)) 赵明剑

(收稿日期: 2010.02.22)(修稿日期: 2010.05.25)

(上接第 189 页)

作者简介: 赵秋明, 男, (1956—), 广西桂林人, 桂林电子科技大学高级工程师, 硕士生导师, 现研究方向为无线通信技术方向、电路与系统方向、专用集成电路设计方向; 郝雪峰, 男, (1985—), 内蒙古集宁人, 硕士研究生。研究方向: 通信与信息系统; 章敏, (1984—), 安徽池州人, 硕士研究生。研究方向: 电路与系统。

**Biography:** ZHAO Qiu -ming, Male, (1956 -), Born in Guangxi Guilin, Guilin University of Electronic Science and Technology, Senior Engineer, Master's tutor, Researchful field: wireless communications technology, circuit and system direction, the direction of ASIC Design

(541004 广西桂林 桂林电子科技大学) 赵秋明 郝雪峰 章 敏

通讯地址: (541005 广西桂林电子科技大学研究生 ES2 信箱)

郝雪峰

(收稿日期: 2010.01.28)(修稿日期: 2010.04.25)